

高性能高可靠性 SiC MOSFET 的关键设计与优化

以特斯拉 Model 3 为代表的众多电动汽车量产车型成功应用 SiC MOSFET 芯片，表明 SiC MOSFET 在性能、可靠性和综合成本层面已得到产业界的认可。基于大量的设计优化和可靠性验证工作，瑞能半导体于 2021 年推出 SiC MOSFET 产品，不仅一如既往的追求高可靠性，同时也拥有业内领先的高性能和竞争力。

作者：瑞能半导体科技股份有限公司 崔京京

引言

近年内，碳化硅功率器件已逐渐成为高压、高频及高效率应用场合需求的首选。性能、可靠性和成本是决定功率器件商业化进程的三个重要维度，此三者一般互为矛盾关系。但回顾 SiC MOSFET 器件的技术发展历程可以发现，通过优化制造工艺和器件设计，不仅带来性能和可靠性的提升，也降低了单颗芯片成本，技术发展成为推动 SiC MOSFET 商业化进程的重要源动力。

自 2011 年商业化产品推出以来，SiC MOSFET 目前已完成三次技术迭代，图 1 为三代 SiC MOSFET 的主要技术特点。图中的比导通电阻值 ($R_{on,sp}$) 是评价单极型功率器件性能的重要指标，其物理意义为器件导通电阻乘以芯片有源区（有效导通区域）面积，数值越小表示技术水平越高，即相同导通电阻值产品所需的芯片面积越小。可以看到，基于工艺的进步和设计的优化，SiC MOSFET 性能逐代提升，单位导通电阻值需要的芯片面积越来越小。

Generation	Features	Cell Pitch	$R_{on,sp}$ (25°C)
Gen.1	Long Channel	> 10 μm	> 8.0 m $\Omega\cdot\text{cm}^2$
Gen.2	Short Channel(Self-Aligned)	~ 9 μm	~ 5.0 m $\Omega\cdot\text{cm}^2$
Gen.3	Small Cell Pitch / Trench Structure	~ 6 μm	~ 3.0 m $\Omega\cdot\text{cm}^2$

图 1：三代 SiC MOSFET 产品主要技术特点

新制造工艺开发

1. 栅氧氮化工艺

相比同为第三代半导体的 GaN 材料，SiC 具有和 Si 一样能与 O_2 反应生成理想介质层 SiO_2 的天然优势，但是 SiC 中 C 原子的存在使得其 MOS 结构的栅氧界面 (SiO_2/SiC) 比传统的 Si 基栅氧界面 (SiO_2/Si) 高近三个数量级的界面态密度，导致 SiC MOS 结构的沟道迁移率远低于 Si MOS 结构，沟道电阻成为 SiC MOSFET 的主要电阻。

经过多年研究，通过在氧化工艺后加入氮化工艺 (NO 或 N_2O 退火工艺)，沟道迁移率由 $10\text{cm}^2/(\text{V}\cdot\text{s})$ 以下增加到 $20\text{cm}^2/(\text{V}\cdot\text{s})$ 左右，沟道电阻减少 50% 以上，界面陷阱引起的阈值电压漂移问题也得到改善。SiC 栅氧氮化工艺的成功开发同时显著提升了 SiC MOSFET 的器件性能和产品可靠性，是 SiC MOSFET 产品走向成熟商业化的基础。

2. 沟道自对准工艺

即使经过氮化工艺，进一步减少 SiC MOSFET 沟道电阻仍然是设计者的工作目标，减少沟道长度是实现此目标的重要手段。但由于无法像传统 Si MOS 结构一样通过双重扩散工艺形成沟道，SiC MOS 结构只能通过光刻机的二次套刻形成沟道，因此沟道长度受制于光刻机的套刻精度以及偏差的控制，根据当前功率半导体产线的实际工艺能力，这意味着沟道长度往往大于 0.8 微米。图 2 展现了不同沟道长度对 1200V SiC MOSFET 导通性能的影响，0.4 微米是理想的沟道长度设计，但是当沟道长度等于 0.8 微米时，器件导通电阻将增加约 50%。

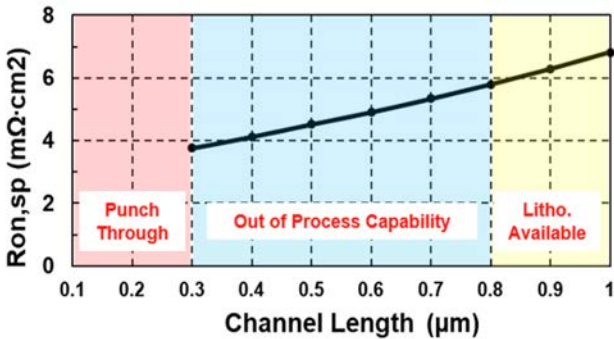


图 2：1200V SiC MOSFET 沟道长度 vs. 比导通电阻值

经过大量试验摸索，几种针对碳化硅的沟道自对准工艺开发完成，即使在现有的光刻机能力下也可实现 0.8 微米以下的沟道长度，SiC MOSFET 比导通电阻值因此得到进一步显著降低。图 3 说明了瑞能 SiC MOSFET 由于采用沟道自对准工艺带来的性能优势。与栅氧界面氮化工艺一样，碳化硅沟道自对准工艺的应用并未明显增加工艺制造成本，但都显著改善了器件的性能，极大提高了 SiC MOSFET 产品的竞争力。

SiC MOSFET 1200V160mOhm	R _{DS(on)} (mΩ) V _G =20V, I _{DS} =10A	V _{TH} (V) V _{DS} =10V, I _{DS} =3mA	B _V (V) I _{DS} =1mA	I _{DSS} (μA) V _{DS} =1200V	R _{on,sp} (25°C)
WN5CM160120W WeEn (Self-Aligned)	136	3.5	1660	0.02	4.3
1200V160mOhm Company A (Non-Self-Aligned)	159	3.3	1600	0.05	5.8

图 3：采用沟道自对准工艺 (Self-Aligned) 与非自对准工艺 (Non-Self-Aligned) 产品性能对比

芯片设计优化

1. 元胞尺寸缩小

对于平面型 SiC MOSFET，减小元胞尺寸 (Cell Pitch) 是提升器件导通能力的主要方法。图 4 为平面栅 MOSFET 结构的关键设计参数，其中 JFET 区宽度 (W_{JFET}) 和源极接触区宽度 ($L_{P++}+L_{NC}$) 是主要的设计优化对象。JFET 区宽度越大，该区域“夹断”电流的 JFET 电阻越小，但中间位置栅极氧化层承受的电场强度越大。所以从减小元胞尺寸和提升氧化层可靠性两个方面来考量，都需要尽量减小 JFET 区宽度。然而 JFET 区宽度减小会增加 JFET 电阻，当 JFET 区宽度小于临界值时，JFET 电阻以及总导通电阻会显著增加。

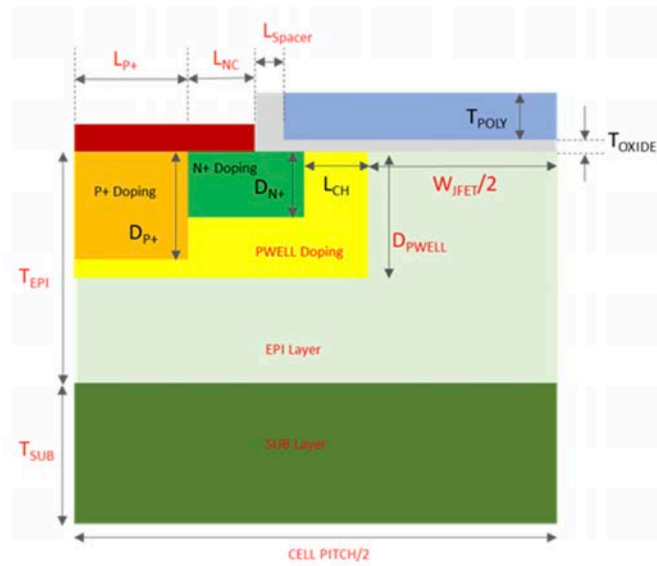


图 4：平面栅 MOSFET 结构关键设计参数（半元胞）

如图 5 所示，通过设计额外的 JFET 区 N 型离子注入工艺或高浓度外延工艺形成电流扩展层 (CSL)，JFET 区宽度可进一步减小 20% 以上，器件比导通电阻值降低了 15%，同时还可减小 JFET 区中间位置栅极氧化层承受的电场强度，电流扩展层成为缩小元胞尺寸并提升 SiC MOSFET 性能的关键设计。



WeEn
WeEn Semiconductors

瑞能最新推出

1200V/1700V

TO-247-3L & TO-247-4L 封装

碳化硅MOSFET产品





更高效 更可靠

- 更优异的器件高温性能
- 更可靠的栅极氧化层
- 更安全的开启电压
- 易于驱动&高频特性卓越
- FOM ($R_{DS(on)} \cdot Q_G$) 指数业内领先

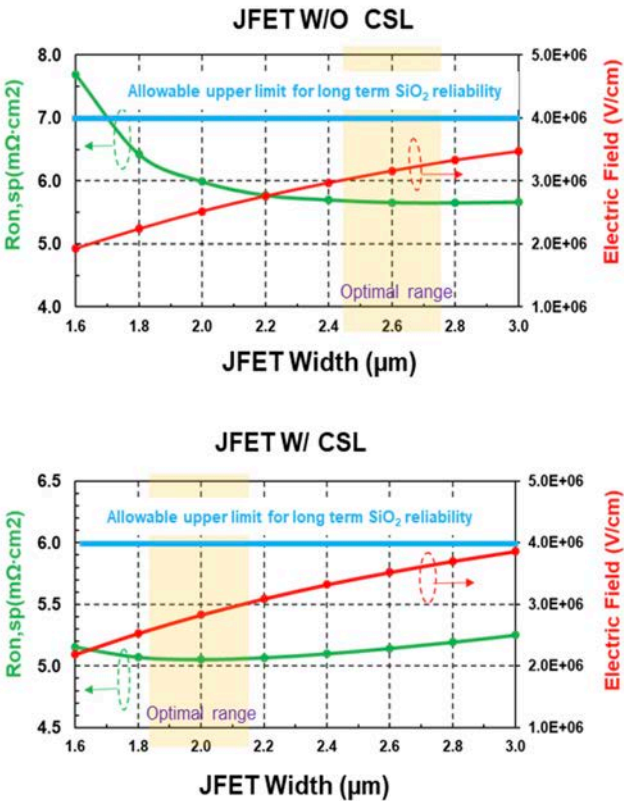


图 5: JFET 区宽度与器件性能及可靠性的关系。(a) 无 CSL 设计, (b) 有 CSL 设计

源极区宽度 ($L_P + L_{NC}$) 的设计主要取决于 N+ 区和 P+ 区的欧姆接触电阻率, 即意味着芯片设计需要基于实际的工艺能力。如只有当 N 型欧姆接触电阻率低于 $1E-4m\Omega\cdot cm^2$ 时, 才可以设计低于 0.6 微米的 N+ 源极区接触宽度而不增加器件导通电阻。

2. 沟槽栅结构

对于 Si IGBT 或者 Si MOSFET, 沟槽栅结构的设计相比于平面栅结构具有明显的性能优势, 但是对于 SiC MOSFET 来说, 目前这种优势不再显著。根据高斯定理, SiC MOSFET 中栅极 SiO₂ 表面承受的电场强度约是其对应的 SiC 表面电场强度的 2.5 倍, 由于碳化硅材料以高临界击穿电场强度著称 (约为硅材料的 10 倍), 所以 SiC MOSFET 中栅极 SiO₂ 承受的电场强度高, 比 Si MOSFET/IGBT 中栅极 SiO₂ 承受的电场强度高一个数量级。因此, SiC MOSFET 栅极氧化层的可靠性面临严重的挑战。沟槽栅 SiC MOSFET 设计中的栅氧可靠性问题更加严重, 因为接近 90° 的沟槽栅拐角进一步加剧了电力线的集中, 此处的栅氧层极易被击穿。

解决栅极氧化层可靠性问题是目前所有的沟槽栅 SiC MOSFET 结构设计必须首先解决的问题, 已有技术路线是设计额外的 JFET 区, 通过其耗尽区的“夹断”来屏蔽保护中间的栅极氧化层, 减少沟槽栅拐角位置氧化层承受的电力, 但这同时也引入了很大的 JFET 电阻, 导通电阻因此显著增加。

图 6 比较了瑞能平面型 SiC MOSFET 以及两款市场上主流的平面型和沟槽型 SiC MOSFET 的主要性能, 通过比较可以发现, 现阶段的沟槽型 SiC MOSFET 与高性能的平面型 SiC MOSFET 相比, 性能优势并不明显。反而平面型 SiC MOSFET 由于具备天然的可靠性优势, 更容易被市场认可。当然, 如果未来栅极介质层的可靠性问题得到彻底解决, 更紧凑的沟槽型 SiC MOSFET 仍然具有巨大的发展潜力。

SiC MOSFET 1200V80mOhm	RDSON(mΩ) VG=20V, IDS=20A	VTH(V) IDS=5mA	BV(V) IDS=1mA	IDSS(μA) VDS=1200V	R _{on,sp} (mΩ·cm²)
WeEn WNSCM80120W (Planar)	71.5	3.5	1660	0.04	4.3
Company C (Planar)	82.2	2.4	1650	0.01	5.4
Company R (Trench)	76.6	4.0	1480	0.06	4.2

图 6 : 市场主流平面型 & 沟槽型 1200V SiC MOSFET 性能对比 (25℃)

可靠性优化

SiC MOSFET 可靠性问题一直是业内关注的焦点, 但随着栅氧工艺的日益成熟, 时间相关的介电击穿、阈值电压漂移等问题都得到了显著改善, SiC MOSFET 可靠性也早已达到车规级应用标准, 自 2017 年 Model 3 量产以来, SiC MOSFET 已在几十万辆电动汽车主驱上安全使用了 4 年时间。

瑞能在产品设计之初就将可靠性放在首位, 最新推出的碳化硅 MOSFET 系列产品, 通过采用平面栅结构、高阈值电压、高阻断电压以及高栅氧层耐压能力的设计, 确保了器件在长期的动静态工况中具有更强的鲁棒性。图 7 为瑞能 SiC MOSFET WNSCM80120R 产品在 HTRB(175℃) 各个试验阶段的 BVDSS 数据, 其 BV 数据在 1000H 试验中未发生任何漂移。得益于大量的工艺和设计优化工作, 使得器件性能上有足够多的设计裕量, 确保产品高可靠性的同时仍然拥有高性能表现。

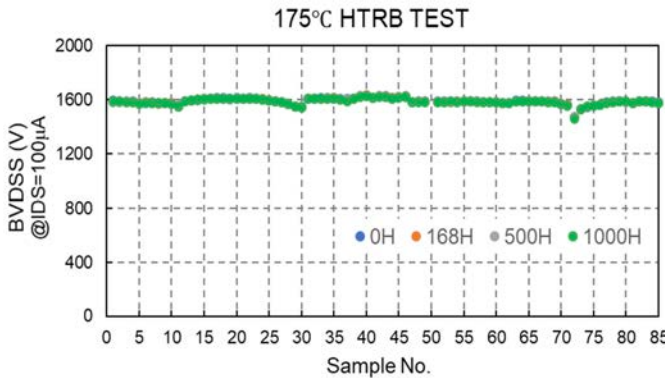


图 7: 瑞能 1200V SiC MOSFET 产品可靠性表现

驱动优化

现阶段 SiC MOSFET 的主要替代对象是 Si IGBT 和 Si

MOSFET 器件，传统驱动电压一般为 +15V 或 +12V 左右。如前文所述，由于 SiC MOSFET 的沟道迁移率相对较低，需要通过增加栅极驱动电压来增强沟道的通流能力，因此目前市场上大部份 SiC MOSFET 产品一般需要 +20V 的驱动工作电压。瑞能 1200V SiC MOSFET 可以在 +18V 驱动电压下高效工作，而即将推出的瑞能 1700V1000mOhm SiC MOSFET 则可以使用 +15V 作为驱动工作电压，实现与传统驱动电路的完美兼容。

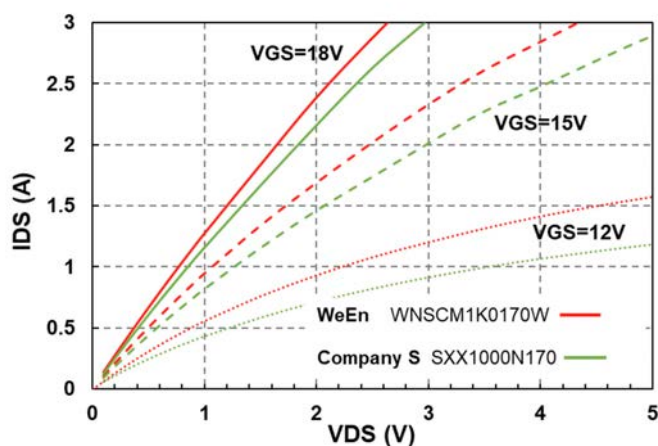


图 8：瑞能 1700V1000mOhm SiC MOSFET 输出特性

小结

SiC MOSFET 技术的不断发展，不仅带来产品性能和可靠性的提升，也促进了芯片成本的降低，市场规模因此而快速增加。瑞能半导体始终坚持技术推动产品竞争力，为客户提供高性能高可靠性的 SiC MOSFET 产品。

www.ween-semi.com



50

年

电量测量解决方案专家

功率变换系统中 电流传感器小型化趋势

HMSR 产品特性：

- 电流最大可测 30A，采用 SOIC 16 封装，5V 供电
- 具备内部和外部 OCD 功能
- 带宽可达 270 kHz (-3dB)
- 工作温度：-40°C 到 +125°C
- 精度可达 0.5 %

新



**HMSR
2019**



**HLSR
2012**



**LTSR
2003**





LEM
Life Energy Motion



www.lem.com